

A7

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-084085
 (43)Date of publication of application : 19.03.2003

(51)Int.Cl.

G04G 3/00

(21)Application number : 2001-274372
 (22)Date of filing : 11.09.2001

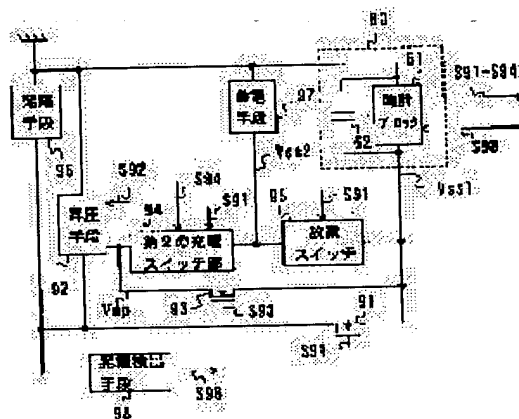
(71)Applicant : CITIZEN WATCH CO LTD
 (72)Inventor : NAGATA YOICHI

(54) ELECTRONIC TIMEPIECE

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance a start-up characteristic of an electronic time piece in a low voltage.

SOLUTION: A terminal voltage of a timer means is made equal to a generation voltage by providing a start-up auxiliary circuit for connecting a power generation means directly to the timer means. The start-up auxiliary circuit is operated to be brought into a conductive condition during stop of oscillation in the timer means, the start-up auxiliary circuit is operated to be brought into a non-conductive condition during start of the oscillation in the timer means and a step-up means is operated, so as to allow self-start-up for the whole electronic time piece even in the low generation voltage. The electronic time piece is thereby allowed to be operated even by a solar cell of single stage constitution.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-84085
(P2003-84085A)

(43) 公開日 平成15年3月19日 (2003.3.19)

(51) IntCl.⁷
G 0 4 G 3/00

識別記号

FI
G 0 4 G 3/00テーマコード(参考)
G 2 F 0 0 2

審査請求 未請求 請求項の数 6 OL (全 11 頁)

(21) 出願番号 特願2001-274372(P2001-274372)

(22) 出願日 平成13年9月11日 (2001.9.11)

(71) 出願人 000001960

シチズン時計株式会社

東京都西東京市田無町六丁目1番12号

(72) 発明者 永田 洋一

東京都西東京市田無町六丁目1番12号 シ

チズン時計株式会社内

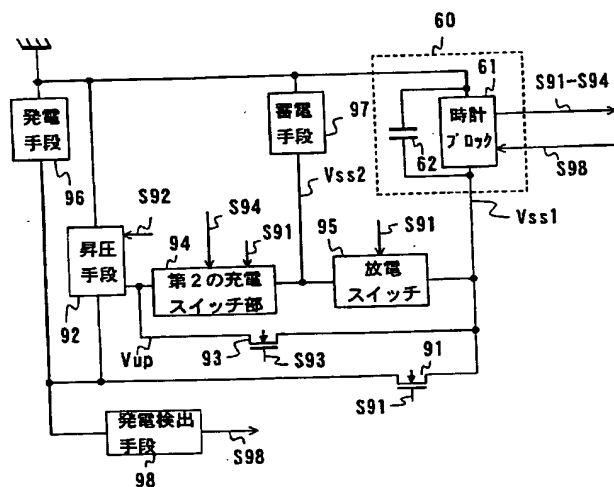
Fターム(参考) 2F002 AA00 AE01 CB02

(54) 【発明の名称】 電子時計

(57) 【要約】

【課題】 低電圧における電子時計の起動特性を向上させる。

【解決手段】 発電手段を計時手段へ直接接続する起動補助回路を設けることで計時手段の端子電圧を発電電圧に等しくなるようにする。起動補助回路は計時手段の発振停止中に導通状態となるように動作し、発振開始後は起動補助回路は非導通となりかつ昇圧手段を動作させることで、発電電圧が低くとも電子時計全体が自起動可能となるようにした。これにより1段構成のソーラセルでも電子時計が動作可能となる。



【特許請求の範囲】

【請求項 1】 外部からのエネルギーを電気エネルギーに変換する発電手段と、

該発電手段のエネルギーを蓄電する蓄電手段と、

該蓄電手段または前記発電手段のエネルギーにより計時動作する計時手段と、

前記発電手段と前記蓄電手段と前記計時手段との間のエネルギーの伝達または遮断を行う手段とを有する電子時計であって、

前記発電手段と前記計時手段とを直接接続することのできる起動補助回路を有することを特徴とする電子時計。 10

【請求項 2】 前記計時手段は、

基準信号を発生する発振回路と、

前記計時手段の計時動作の停止を検出する発振停止検出回路とを備え、

前記計時手段の停止時には前記起動補助回路が発電手段と計時手段とを並列に接続することを特徴とする請求項 1 に記載の電子時計。

【請求項 3】 前記発電手段の出力を昇圧して前記計時手段または前記蓄電手段へ出力する昇圧手段を備え、該昇圧手段は前記発振停止検出回路が発振開始を検出してから所定の期間は強制的に前記計時手段へ昇圧出力することを特徴とする請求項 2 に記載の電子時計。 20

【請求項 4】 前記蓄電手段の蓄電電圧を検知する残量検出手段を備え、

前記蓄電手段の蓄電電圧が所定値を下回った場合には、前記蓄電手段と前記計時手段との接続を切断する機能を有することを特徴とする請求項 1 に記載の電子時計。

【請求項 5】 前記計時手段は

共振回路からなる共振部と、

該共振部の出力信号を増幅する増幅部と、

該増幅部の出力信号を減衰させる減衰部と、

該増幅部と並列に接続し前記共振部の出力信号を増幅する補助増幅部とからなる発振回路を有し、

前記補助増幅部を前記増幅部よりも低いしきい値電圧の電界効果トランジスタ素子で構成したことを特徴とする請求項 1 に記載の電子時計。

【請求項 6】 前記補助増幅部は信号増幅動作する補助増幅回路と、

該補助増幅回路を通電または非通電にするスイッチ回路とで構成し、

前記計時手段は発振停止状態から所定の期間だけ補助増幅部を通電状態とする機能を有することを特徴とする請求項 5 に記載の電子時計。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、水晶振動子などの固有周波数を利用した発振回路を用いた電子時計に関するものであり、特に電子時計などに用いられる水晶発振回路の発振起動性向上のための回路構成に関するもので

ある。

【0002】

【従来の技術】現在は、光や機械的エネルギーなどの外部エネルギーを電気エネルギーに変換し、この電気エネルギーを電子機器の駆動に利用する発電手段を内蔵した電子時計がある。

【0003】このような発電手段を内蔵した電子時計には、太陽電池を利用する太陽電池式時計や、回転錘の機械的エネルギーを電気的エネルギーに変換して利用する機械発電式時計や、熱電対を複数直列化しその熱電対の両端の温度差により発電する温度差発電式時計がある。これらの発電手段内蔵時計は、外部からのエネルギー供給がなく、また蓄電手段の蓄電エネルギーが放電しきってしまうとこの電子時計は停止してしまうが、少なくとも外部からのエネルギー供給が再開した後は電子時計は再び動作を開始可能となっている。

【0004】ここで従来の例として、上記のうちの太陽電池式の電子時計の場合の電源周辺回路について、図 6 を用いて説明する（本例は特公平 4-50550 を参照している）。

【0005】この従来の電子時計では、太陽電池である発電手段 96 が充電用スイッチ群を介して蓄電手段 97 と計時手段 60 に接続している。

【0006】発電手段 96 は太陽電池であり、第 1 のダイオード 7a と計時手段 60 とで電流経路を形成している。なお計時手段 60 は、電気エネルギーで時刻表示を行う時計ブロック 61 と、容量が $10\mu\text{F}$ のコンデンサ 62 を並列に接続することで構成している。

【0007】また発電手段 96 は第 2 のダイオード 7b と第 2 のスイッチ回路 8b と蓄電手段 3 とでもう一つの電流経路を形成している。第 2 のスイッチ回路 8b は蓄電手段 3 の充電用であるが説明は省略する。 30

【0008】そして、第 1 のスイッチ回路 8a は、トランスミッションゲート回路であり、計時手段 60 と蓄電手段 97 とを並列接続できるように、計時手段 60 の負極と蓄電手段 97 の負極との間に接続している。第 1 のスイッチ回路 8a をオフとすれば、少なくとも発電手段 96 から発生した電流が蓄電手段 97 を流れないような状態に制御されるようになっている。

【0009】この従来の電子時計は、蓄電手段 97 がほぼ空まで放電した状態で、かつ発電手段 96 も発電していないときは、計時手段 60 は動作を停止している。このとき第 1 のスイッチ回路 8a および第 2 のスイッチ回路 8b をオフするようになっており、その後に発電手段 96 が発電を開始すると、その発電エネルギーは計時手段 60 のみに送られ、この結果として計時手段 60 の再起動が可能となっている。

【0010】このような従来の一般的な電子時計に用いられる発振回路は、蓄電手段を満充電にする理由から、発電手段として太陽電池などのほぼ定電圧を出力する発 50

電器を用いる場合、太陽電池セルを直列に複数段接続した太陽電池セルを用いている。

【0011】

【発明が解決しようとする課題】ところが複数段セルは受光面に分割スリットが入るため、見栄えが悪いというだけでなく、小面積のセルや異形のセルなどにしたときに分割スリットによって有効受光面積が小さくなるという問題があった。

【0012】そこで単純に太陽電池セルを1段にすることも考えられる。ところが従来の電子時計に用いられる発振回路は（主に水晶発振回路）、発振起動するのに低くとも0.6～0.8V程度が必要であるが、第1のダイオード7aでは小さいものでも0.1Vよりは大きな電圧降下がある一方で、太陽電池の1段分の開放電圧は多くとも0.7V程度しかなく、単に一段セルの太陽電池を発電手段として利用しようすると、発振回路そのものに印加される電圧は発振回路の発振起動電圧を下回ってしまい、この結果として発振回路を起動できないという問題があった。

【0013】【発明の目的】そこで本発明は上記の欠点を改善し、1段セル構成の太陽電池でも確実に動作し、かつ高効率で充電動作可能な電子時計を提供するものである。

【0014】

【課題を解決するための手段】本発明の電子時計は、外部からのエネルギーを電気エネルギーに変換する発電手段と、該発電手段のエネルギーを蓄電する蓄電手段と、該蓄電手段あるいは前記発電手段のエネルギーにより計時動作する計時手段と、前記発電手段と前記蓄電手段と前記計時手段との間のエネルギーの伝達あるいは遮断を行う充放電制御手段とを有する電子時計であって、前記発電手段と前記計時手段とを直接接続する起動補助回路を有することを特徴とする。

【0015】本発明の電子時計では、蓄電手段の残量が僅かとなって、計時手段が動作を行っていないときは、計時手段に直接発電手段を接続し、発電電圧をそのまま計時手段に印加できるようになっている。しかもこのときに蓄電手段の蓄電残量を発電手段など他の回路要素に放電してしまうこともない。

【0016】さらに本発明では、計時手段中の発振回路のそのものの起動電圧を低くすることで起動特性にマージンを与え、そのうえ昇圧回路を用いて高電圧を得られるようになっているため、定格電圧の高いステップモータなどを用いた時刻表示体を速やかに動作させることが可能となっている。

【0017】【作用】このため従来は難しかった、1段セル構成の太陽電池を用いた電子時計であっても、比較的照度の低い環境下であっても起動動作が可能な電子時計を実現することができる。

【0018】

【発明の実施の形態】以下、本発明の発振回路を実施するための最適な形態について図面を用いて説明する。図1は本発明の電子時計の全体回路の構成を示す回路図である。図2は本発明の電子時計における放電スイッチ部および第2の充電スイッチ部の構成を示す回路図である。図3は本発明の電子時計における時計ブロックの構成を示す回路図である。図4は本発明の電子時計の波形生成手段の回路例を示す回路図である。さらに図5は本発明の実施の形態の回路要部の電圧を示す波形図である。

【0019】【本発明の全体構成説明：図1】まず図1を用いて本実施の形態の電子時計の全体構成を説明する。本発明の実施の形態の電子時計は、起動補助回路91と、昇圧手段92と、第1の充電スイッチ部93と、第2の充電スイッチ部94と、放電スイッチ部95と、発電手段96と、蓄電手段97と発電検出手段98とで構成する。

【0020】時計ブロック61は電子時計としての計時動作および充放電動作のための制御信号を生成する部分である。時計ブロック61からは発振停止信号S91と昇圧クロックS92と第1の充電スイッチ信号S93と第2の充電スイッチ信号S94とが出力しており、発電検出信号S98が入力している。なお時計ブロック61の内部構成や、時計ブロック61から出力されている各信号の詳細については後述する。

【0021】また時計ブロック61には、間欠的な負荷の動作に対して端子間電圧を安定化させる目的で、コンデンサ62を並列接続している。すなわちコンデンサ62は正極が接地し負極端子名はVss1とした。なおこのコンデンサ62は10μFの容量のものを用いている。時計ブロック61とコンデンサ62とは計時手段60とした。

【0022】リチウムイオン2次電池である蓄電手段97は、後述する発電手段96から出力される電力を蓄え、発電手段96が非発電である間も時計ブロック61を動作させるためのものである。蓄電手段97は正極を接地しており、また負極端子名はVss2とした。

【0023】起動補助回路91は、時計ブロック61が一旦動作を停止した後に再起動させる際に、後述の発電手段96の電力を時計ブロック61へ送るためのものである。

【0024】起動補助回路91は、NチャネルMOS電界効果トランジスタ（以下FET）で構成したスイッチ回路であり、起動補助回路91のソース端子はVss1端子に接続しており、かつドレイン端子が発電手段96の負極に接続している。また、起動補助回路91のゲート端子には、発振停止信号S91が接続している。起動補助回路91は、前述の発振回路50や波形生成手段51が動作停止している期間はオン状態となって、発電手段96と計時手段60とを低抵抗で並列接続するように

なっている。

【0025】また放電スイッチ部95は発電手段96が非発電である間でも蓄電手段97に蓄えられた電力を時計ブロック61へ送るためのものである。放電スイッチ部95については後述する。放電スイッチ部95には発振停止信号S91が接続している。

【0026】発電手段96は、ソーラセルを1段だけ有する太陽電池モジュールである。発電手段96の正極は接地し、負極が昇圧手段92の昇圧入力端子に接続している。発電手段96は光が照射すると約0.5~0.7Vの開放電圧が発生するものである。

【0027】昇圧手段92はコンデンサの直並列状態を切りかえることで昇圧動作を行う一般的な昇圧回路である。昇圧手段92についての詳しい構成説明は省略するが、昇圧手段92はMOSFETによるスイッチ回路で構成し、かつこのMOSFETには後述の波形生成手段51の一部の論理回路に用いた低いしきい値のものを用いて、波形生成手段51が出力する小さな振幅(0.5V以上)であっても十分に切り換え制御が可能となるようにしたものを用いる。昇圧手段92の昇圧出力端子名はVupとした。

【0028】昇圧手段92の入力側には発電手段96の出力が接続しており、発電手段96の出力電圧を昇圧するようになっている。また昇圧手段92には昇圧動作を制御するために昇圧クロックS92が接続しており、昇圧手段92はこの昇圧クロックS92により内部のコンデンサを切り換えて4倍昇圧動作を行う。

【0029】また、第1の充電スイッチ部93と第2の充電スイッチ部94とは昇圧手段92の動作に同期して昇圧出力を時計ブロック61および蓄電手段97へそれぞれ送るためのスイッチである。第1の充電スイッチ部93は単体のNチャネルMOSFETであり、ソース端子はVss1に接続し、ドレイン端子が昇圧手段92の昇圧出力端子Vupに接続し、ゲート端子は第1の充電スイッチ信号S93に接続している。

【0030】第2の充電スイッチ部94の詳細な構成については後述するが、基本部分の構成は第1の充電スイッチ部93と同様のFETからなる第2の充電スイッチ94aである(図1には図示せず)。第2の充電スイッチ94aのソース端子は蓄電手段97の負極Vss2へ接続し、ドレイン端子は昇圧手段92の昇圧出力端子Vupへ接続している。また第2の充電スイッチ部94には、制御信号として第2の充電スイッチ信号S94および発振停止信号S91が接続している。

【0031】一方、発電検出手段98は発電手段96の発電状態を検知するためのアンプ回路などからなる回路ブロックである。発電検出手段96の詳細な構成については省略するが、発電手段96が所定の発電量が出力されているときにはハイレベルを出力しそれ以外ではローレベルを出力するよう動作する。なお発電検出手段98

の検知出力は発電検出信号S98として時計ブロック61に接続している。

【0032】[放電スイッチ部および第2の充電スイッチ部の構成説明:図2]さらに図2を用いて本発明の実施の形態における第2の充電スイッチ部94および放電スイッチ部95の構成について説明する。放電スイッチ部95は、第1の放電スイッチ95aと、第2の放電スイッチ95bと、第1のプルダウンスイッチ95cと、第2のプルダウンスイッチ95dと、放電用レベルシフタ95eと、残量検出手段95fとで構成している。また第2の充電スイッチ部94は、第2の充電スイッチ94aと、第3のプルダウンスイッチ95bと、充電用レベルシフタ94cとで構成している。

【0033】第1の放電スイッチ95aと第2の放電スイッチ95bと第1のプルダウンスイッチ95cと第2のプルダウンスイッチ95dとはNチャネルMOSFETであり、特に第1の放電スイッチ95aおよび第2の放電スイッチ95bには、充分チャネル幅が大きく、オン抵抗が低いものを用いることとする。

【0034】第1の放電スイッチ95aおよび第2の放電スイッチ95bはドレイン端子同士が共に接続し、第1の放電スイッチ95aのソース端子がVss1に接続し、第2の放電スイッチ95bのソース端子がVss2に接続している。

【0035】一方、放電用レベルシフタ95eは、接地電位-Vss1の論理信号レベルを接地電位-Vss2の論理信号レベルへ変換するレベルシフタである。放電用レベルシフタ95eには残量検出信号S95が入力し、レベル変換した出力を第2の放電スイッチ95bのゲート端子に接続している。なお放電用レベルシフタ95eは接地側の電流経路を切断することにより非通電状態にできるものである。

【0036】この放電用レベルシフタ95eの構成については簡単な説明にとどめるが、PチャネルMOSFETであるトランジスタQ1、Q2、Q3と、NチャネルMOSFETであるQ4、Q5とが接地-Vss2間に図示のように接続されている。すなわち、トランジスタQ1のゲート端子に発振停止信号S91が入力し、トランジスタQ2のゲート端子に残量検出信号S95が接続し、トランジスタQ3のゲート端子に残量検出信号S95の否定信号が接続し、さらにトランジスタQ2とQ4との接続点がトランジスタQ5のゲート端子に接続するとともに出力端子になっており、トランジスタQ3とQ5の接続点がトランジスタQ4のゲート端子に接続している。なおトランジスタQ1のゲート端子が負論理のインバータ端子/Eとなっている。

【0037】第1のプルダウンスイッチ95cおよび第2のプルダウンスイッチ95dは、発振停止信号S91が接地電位、すなわちハイレベルである間は第1の放電スイッチ95aおよび第2の放電スイッチ95bが共に

オフするように動作するプルダウン用のFETである。
第1のプルダウンスイッチ95cはドレイン端子が第1の放電スイッチ95aのゲート端子に、ソース端子がVss1にそれぞれ接続している。また第2のプルダウンスイッチ95dはドレイン端子が第2の放電スイッチ95bゲート端子に、ソース端子がVss2にそれぞれ接続している。第1のプルダウンスイッチ95cおよび第2のプルダウンスイッチ95dのゲート端子は共に発振停止信号S91に接続している。

【0038】したがって放電用レベルシフタ95eは、負論理のイネーブル端子/E、すなわち発振停止信号S91が接地電位の時には接地側からの電源供給が絶たれて非通電状態となり、さらに第1のプルダウンスイッチ95cおよび第2のプルダウンスイッチ95dにより第1の放電スイッチ95aおよび第2の放電スイッチ95bのゲート電位はそれぞれのソース電位と同じとなる。このときは第1の放電スイッチ95aと第2の放電スイッチ95bとに構造上形成されるダイオードは互いに反対向きとなるのでVss1とVss2との間は完全に非導通状態となる。

【0039】一方、残量検出手段95fは、一般的に用いられる電圧検出回路であり、残量検出手段95fは接地-Vss1間の電圧で動作するものである。残量検出手段95fは、蓄電手段97の端子電圧が1.0V以上であればハイレベルを出力し、それ以外ではロウレベルを出力する。出力信号は残量検出信号S95としており、同様にして残量検出信号S95の否定信号も同様にして出力できるような構成のものを用いている。残量検出手段95fについては詳細な構成説明を省略するが、残量検出手段95fは放電用レベルシフタ95eと同様に負論理のイネーブル端子/Eを備えており、このイネーブル端子/Eに発振停止信号S91を接続することで、発振停止時に非通電状態にできるものを用いる。なお、本実施の形態では、残量検出手段95fを放電スイッチ部95のなかに設けたが、放電スイッチ部95の外部に設けることも可能である。

【0040】一方、第2の充電スイッチ部94については、第2の充電スイッチ信号S94を充電用レベルシフタ94cに接続することで、第2の充電スイッチ信号S94を接地-Vss2の電圧レベルに変換可能なようにしている。充電用レベルシフタ94cは前述の放電用レベルシフタ95eと同じものである。また充電用レベルシフタ94cの出力には第2の充電スイッチ94aのゲート端子が接続している。さらに第2の充電スイッチ94aのゲート端子には第3のプルダウンスイッチ94bが接続しており、発振停止信号S91が接地電位のときは第2の充電スイッチ94aのゲート端子をVss2の電位にプルダウンするようになっている。

【0041】〔時計ブロックの構成説明：図3〕つぎに図3を用いて本発明の電子時計における時計ブロックの

構成について説明する。

【0042】本発明の時計ブロック61は、発振回路50と、波形生成手段51と、定電圧手段52と、第1のインバータ53と、時刻表示体54とで構成している。

【0043】発振回路50は、共振部10と、増幅部20と、減衰部30と、補助増幅部40とで構成している。

【0044】共振部10は水晶振動子11と第1の発振容量12と第2の発振容量13とで構成している。増幅部20は第1のトランジスタ素子21と第2のトランジスタ素子22とバイアス抵抗23とで構成している。第1のトランジスタ素子21と第2のトランジスタ素子22とはしきい値電圧が0.5Vのものを用いる。減衰部30は抵抗素子で構成している。減衰部30は抵抗値が1MΩのものを用いる。補助増幅部40は第3のトランジスタ素子42と第4のトランジスタ素子43と第1のスイッチ41と第2のスイッチ44とで構成している。

【0045】水晶振動子11は一般的な電子時計に用いられる水晶振動子である。また第1の発振容量12および第2の発振容量13は集積回路に内蔵したコンデンサである。第1の発振容量12は7pFであり第2の発振容量13は3pFであるものとする。各発振容量の正極は接地し、負極を振動子11の両端にそれぞれ接続している。なお第1の発振容量12の負極は共振部10の出力端子であるが、発振入力S1としている。もう一方の第2の発振容量13の負極は共振部10の入力端子である。なお振動子11と第1の発振容量12および第2の発振容量13とは共振回路を構成しており、この共振周波数は32768Hzとなるようにしてある。

【0046】第1のトランジスタ素子21はPチャネルのMOSFETであり、第2のトランジスタ素子22はNチャネルMOSFETである。バイアス抵抗23は数10MΩ以上の高抵抗素子である。第1のトランジスタ素子21と第2のトランジスタ素子22とバイアス抵抗23とで簡素なCMOSアンプを構成している。

【0047】第1のトランジスタ素子21および第2のトランジスタ素子22のゲート端子同士は共通とし、この端子を増幅部20の入力端子としている。また第1のトランジスタ素子21および第2のトランジスタ素子22のドレイン端子同士をそれぞれを共通とし、この端子を増幅部20の出力端子としている。さらに第1のトランジスタ素子21のソース端子は接地し、第2のトランジスタ素子22のソース端子は後述の定電圧手段52の定電圧出力Vregに接続する。さらに増幅部20の入力端子と出力端子との間にはバイアス抵抗23を挿入する。

【0048】第3のトランジスタ素子42はPチャネルのMOSFETであり、第4のトランジスタ素子43はNチャネルMOSFETである。第1のスイッチ41はPチャネルのMOSFETであり、第2のスイッチ44

はNチャネルMOSFETである。なお第3のトランジスタ素子42および第4のトランジスタ素子43とが補助増幅回路を構成し、第1のスイッチ41および第2のスイッチ44とがスイッチ回路を構成している。

【0049】第1のスイッチ41のソース端子は接地し、第2のスイッチ44のソース端子も後述の定電圧手段52の定電圧出力Vregに接続する。

【0050】また第3のトランジスタ素子42のソース端子は第1のスイッチ41のドレイン端子に接続し、第4のトランジスタ素子43のソース端子は第2のスイッチ44のドレイン端子に接続する。また第3、第4のトランジスタ素子のゲート端子同士は共通とし、この端子を補助増幅部40の入力端子とする。また第3、第4のトランジスタ素子のドレイン端子同士は共通とし、この端子を補助増幅部40の出力端子とする。

【0051】そして特に本実施の形態では第3のトランジスタ素子42および第4のトランジスタ素子43は共に増幅部20を構成するトランジスタ素子よりもしきい値電圧の低いものを用いる。ここでは両トランジスタ素子のしきい値電圧はいずれも0.35Vに設定したものを

【0052】また第1のスイッチ41および第2のスイッチ44にも同様にしきい値電圧の低いもの(0.35V)を用いる。

【0053】そして発振入力S1が増幅部20および補助増幅部40に入力している。増幅部20の出力である発振出力S2には減衰部30の一端が接続し減衰部30の他端が共振部10の入力に接続している。一方、補助増幅部40の出力は共振部10の入力端子(第2の発振容量13の負極)へ入力している。共振部10の出力は発振入力S1となっており帰還回路が形成されている。

【0054】補助増幅部40の第2のスイッチ44のゲート端子には波形生成手段51のパワーオンリセット信号S50が接続している。また補助増幅部40の第1のスイッチ41のゲート端子にはパワーオンリセット信号S50を第1のインバータ53に入力することで得られるパワーオンリセット信号S50の否定信号が接続している。なお第1のインバータ53は一般的なCMOSインバータであり、接地-Vreg間の電圧で動作する。

【0055】さらに発振出力S2は波形生成手段51に入力している。波形生成手段51は発振回路の出力である発振出力S2を多段のフリップフロップ回路で分周し、この分周信号を合成することでステップモータを駆動するパルス波形を生成する論理回路である。また波形生成手段51は電源が投入されたときから0.5秒(500ミリ秒)の間ハイレベルとなるパワーオンリセット信号S50も出力する。

【0056】同様に波形生成手段51からは昇圧動作のための昇圧クロックS92と第1の充電スイッチ信号S93と第2の充電スイッチ信号S94とを出力してい

る。さらに波形生成手段51には後述する発電検出信号S98が入力している。波形生成手段51の構成説明については後述する。

【0057】時刻表示体54は図示しないステッピングモータや減速輪列や文字板や指針などからなる、電子時計の時刻表示部分である。時刻表示体54は波形生成手段51が生成したパルス波形を元にステッピングモータを駆動し、減速輪列を介して指針を回転させて時刻を表示する。時刻表示体54については一般的な構成であるため詳細な構成説明は省略する。

【0058】定電圧手段52は一定電圧を出力する一般的な定電圧回路(電圧レギュレータ)である。ここでは定電圧出力の端子はVregとしている。なお定電圧手段52は時計ブロック61の電源電圧である接地-Vss1間の電圧で駆動され、接地-Vreg間の電圧が0.8Vとなるように動作する。Vss1は時計ブロック61の負極の端子である。

【0059】なお定電圧手段52は一般的な定電圧回路と同様に、接地-Vss1間の電圧が0.8Vよりも低い間はVreg端子にはVss1と等しい電位が現れることとする。またこれ以降は特に断らない限り電源電圧Vss1とは接地-Vss1間の電圧を指すものとする。蓄電電圧Vss2についても同様に接地-Vss2間の電圧を指すものとする。以上のようにして本発明の発振回路を適用した電子時計の時計ブロック61を構成する。

【0060】[波形生成手段の構成説明:図4] つぎに図4を用いて本実施の形態の波形生成手段51の構成について説明する。波形生成手段51は、発振停止検出回路55と、整形インバータ71aと、第1のフリップフロップ71bと、第2のフリップフロップ71cと、パルス合成回路71dと、モータドライバ71eと、第1のアンドゲート72と、第1のオアゲート73と、第2のオアゲート75と、第2のアンドゲート77と、第3のオアゲート78と、第1のレベルシフタ74と、第2のレベルシフタ76と、第2のインバータ79と、第3のレベルシフタ80とで構成する。

【0061】パルス合成回路71dとモータドライバ71eを除いた波形生成手段51中の論理回路は、補助増幅部40に用いたものと同様にPチャネル、Nチャネル共に低いしきい値電圧を有するMOSFETで構成した低しきい値CMOS回路で構成する。

【0062】すなわち、発振停止検出回路55と、整形インバータ71aと、第1のフリップフロップ71bと、第2のフリップフロップ71cと、第1のアンドゲート72と、第2のオアゲート77と、第3のオアゲート78と、第1のオアゲート73と、第2のオアゲート75と、第1のレベルシフタ74と、第2のレベルシフタ76と、第2のインバータ79とは低しきい値CMOS回路で構成する。

【0063】パルス合成回路71dは一般的な電子時計で用いられる分周回路と複数の論理ゲートで構成された、発振回路の出力を元に前述のステッピングモータを回転駆動させるためのモータ駆動パルス波形を合成する一般的な論理回路である。またモータドライバ71eはパルス合成回路71dのモータ駆動パルス波形をレベル変換し、ステッピングモータを駆動する大電流を供給可能なドライバ回路である。特に図示はしないが、モータドライバ71eの出力端子には前述のステッピングモータの駆動コイルが接続している。パルス合成回路71dおよびモータドライバ71eについては一般的な電子時計と同様の回路構成であるので詳細な説明は省略する。

【0064】なおモータドライバ71eを除く波形生成手段51の構成要素が動作するための電源は、第1のレベルシフタ74と第2のレベルシフタ76と第2のアンドゲート77と第3のアンドゲート78を除いて前述の定電圧手段52の出力から得られるよう接続している。第1のレベルシフタ74と第2のレベルシフタ76と第2のアンドゲート77および第3のアンドゲート78は、接地-Vss間の電圧で動作するようになっている。

【0065】発振停止検出回路55は一般的に用いられる、入力信号の有無により発振動作の停止を検知する回路である。発振停止検出回路55には第2のフリップフロップ71cの出力信号が入力している。発振停止検出回路55の出力は発振停止信号S91としている。

【0066】パルス合成回路71dはパワーオンリセット信号S50と強制昇圧信号S70と充電クロックS75とを出力している。充電クロックS75は1Hzの方形波である。またパワーオンリセット信号S50は、時計ブロック61に電源を投入してから0.5秒間ハイレベルとなるパワーオンリセットパルスである。同様に強制昇圧信号S70はパワーオンリセットS50と同様のパワーオンリセットパルスであるが、時計ブロック61に電源を投入してから1.5秒(1500ミリ秒)間ハイレベルとなるように設定してある。これらの充電クロックS75やパワーオンリセット信号S50は一般的であるので生成回路の構成については省略する。

【0067】整形インバータ71aは、発振回路の出力信号S2を方形波へ波形整形するためのインバータである。整形インバータ71aの出力は、第1のフリップフロップ71bに入力している。また第1のフリップフロップ71bの出力は、第2のフリップフロップ71cに入力している。なお第1～第2のフリップフロップ71b～71cはトグルタイプのフリップフロップである。第2のフリップフロップ71cは出力信号をパルス合成回路71dへ接続している。

【0068】第1のオアゲート73はパルス合成回路71dの出力する強制昇圧信号S70と発電検出信号S98との論理和を出力する。第1のアンドゲート72は第

1のオアゲート73の出力信号と第2のフリップフロップ71cの出力信号と発振停止信号S91の否定信号との論理積を第1のレベルシフタ74へ出力する。なお発振停止信号S91の否定信号は発振停止信号S91を第2のインバータ79に入力することで生成している。

【0069】また第1のレベルシフタ74および第2のレベルシフタ76は接地-Vreg間の論理信号レベルを接地-Vss間の論理信号レベルへ変換する一般的なレベルシフタ回路である。第1のレベルシフタ74の否定出力は昇圧クロックS92としている。

【0070】一方、第2のオアゲート75は強制昇圧信号S70と充電クロックS75との論理和を第2のレベルシフタ76へ出力する。

【0071】第2のアンドゲート77は第2のレベルシフタ76の出力と第1のレベルシフタ74の出力との論理積を出力する。なお第2のアンドゲート77の出力は第1の充電スイッチ信号S93としている。第3のアンドゲート78は第2のレベルシフタ76の否定出力と第1のレベルシフタ74の出力との論理積を出力する。なお第2のアンドゲート78の出力は第2の充電スイッチ信号S94としている。以上のようにして、波形生成手段51を構成する。

【0072】[動作説明：図1～図5] つぎに図1から図5を用いて本発明の実施の形態の全体動作について説明する。ただし図5の波形図においては、発振出力S2と昇圧クロックS92以外は単に論理値だけを波形図上に示している。

【0073】ここでは蓄電手段97の残量が空で発電手段96も発電をしておらず、時計ブロック61の動作が停止した状態から発電手段96が発電を開始する場合について説明する。

【0074】まず全体が停止した状態について説明する。発振停止検出回路55は、発電手段96が発電を開始する以前から接地電位、すなわちハイレベルを出力している。このときは放電スイッチ部95においては、第1の放電スイッチ95aおよび第2の放電スイッチ95bは前述の通りに双方向に非導通状態となっており、かつ残量検出手段95fや放電用レベルシフタ95eも非導通状態となっている。さらにこのときは、第2の充電スイッチ部94においても、第2の充電スイッチ94aは少なくとも蓄電手段から外部へは電流がリークしないようになっており、かつ充電用レベルシフタ94cも非導通状態となっている。したがって、発電手段96が非導通状態でかつコンデンサ62が放電しきった状態では、蓄電手段97に残ったエネルギーは、少なくとも蓄電手段97に接続された回路要素へ放電しないようになっている。この動作は起動補助回路91が導通あるいは非導通のいずれの状態でも保証される。

【0075】つぎに発電手段96が発電を開始し、本実施の形態の電子時計が再起動するときの動作について説

明する。本実施の形態の発電手段 9 6 に発電手段 9 6 に光が照射すれば、その照射した光があまり強くない場合では、発電手段 9 6 の開放電圧はおよそ 0.5 V 程度となる。

【0076】コンデンサ 6 2 が放電しきった状態、すなわち電源電圧 V_{ss1} が 0 V に近い間は起動補助回路 9 1 はダイオード的に電流を流すが、コンデンサ 6 2 に電荷が蓄えられて V_{ss1} が 0 V から大きくなるにしたがって起動補助回路 9 1 はスイッチ的に動作し始める。この結果コンデンサ 6 2 は 1 秒ほどで端子電圧がほぼ 0.5 V となるまで充電される。このときは時計ブロック 6 1 に印加される電源電圧 V_{ss1} は 0.5 V であるが、このように電源電圧 V_{ss1} が低い場合は定電圧手段 5 2 は電源電圧と等しい 0.5 V を出力する。

【0077】またこのときにはパワーオンリセット信号 S_{50} および強制昇圧信号 S_{70} はハイレベルとなっている。パワーオンリセット信号 S_{50} がハイレベルの間は補助増幅部 4 0 の第 1 のスイッチ 4 1 および第 2 のスイッチ 4 4 は導通状態となり、第 3 のトランジスタ素子 4 2 および第 4 のトランジスタ素子 4 3 で構成された補

助増幅回路 4 0 は動作可能状態となる。

【0078】本実施の形態の発振回路においては、発振回路 5 0 に 0.5 V 程度が印加されれば発振回路 5 0 は発振動作を開始する。これは補助増幅部 4 0 は 0.5 V であっても発振に必要な増幅率があるためである。すなわち補助増幅部 4 0 と共振部 1 0 で構成された帰還回路で共振部 1 0 のもつ共振周波数にほぼ等しい成分の信号だけの振幅が成長し、やがて発振出力 S_2 から正弦波が歪んだ方形波に近い出力信号が得られる。この補助増幅部 4 0 は、パワーオンリセット信号 S_{50} に従い、発振が停止している状態および発振を開始してから所定の期間、すなわち少なくとも 0.5 秒の間は強制的に通電され、増幅動作を行うようになっている。この期間には、少なくとも使用条件下で発振が開始し、かつ発振が安定するのに必要な条件を設定している。

【0079】発振回路 5 0 が発振を開始すれば、整形インバータ 7 1 a、第 1 のフリップフロップ 7 1 b、第 2 のフリップフロップ 7 2 c も所定の動作を行う。さらに発振停止検出回路 5 5 には第 2 のフリップフロップ 7 1 c の出力信号が入力するので、発振停止信号 S_{91} は接地電位（ハイレベル）からロウレベルへと変化する。すると起動補助回路 9 1 はオフ状態となる。このため起動補助回路 9 1 は FET の構造上ダイオード的に動作するようになる。

【0080】さらに発振停止信号 S_{91} がロウレベルとなれば昇圧クロック S_{92} が出力されるので昇圧手段 9 2 は昇圧動作を行う。すなわち第 1 のレベルシフタ 7 4 および第 2 のレベルシフタ 7 6 を介して、はじめは振幅が 0.5 V の昇圧クロック S_{92} が出力され、これにより昇圧手段 9 2 は昇圧動作を行う。このときは第 1 の充

電スイッチ部 9 3 は動作状態となるので昇圧出力は時計ブロック 6 1 側にのみ送られる（このときは起動補助回路 9 1 はオフ状態になっており、昇圧手段 9 2 の昇圧出力が再び発電手段 9 6 へ戻らない）。この昇圧手段 9 2 は、強制昇圧信号 S_{70} に従い、発振停止信号 S_{91} がロウレベルになってから所定の期間、すなわち 1.5 秒間は強制的に昇圧動作を行うようになっている。この期間には、昇圧出力によって計時手段 6 0 の端子電圧が充分に上昇するのに（例えば前述のステッピングモータを駆動可能な電圧まで）必要な条件を設定している。

【0081】また昇圧手段 9 2 が昇圧動作を行った後、電源電圧 V_{ss1} が 0.8 V よりも高くなれば、定電圧手段 5 2 は所定の定電圧である 0.8 V の一定値を出力する。したがって電源電圧 V_{ss1} が 0.8 V よりも高い状態では発振回路 5 0 自体に印加される電圧は電源電圧 V_{ss1} の変動によらず一定値となる。

【0082】なおこのときは補助増幅部 4 0 の増幅率は極めて高いものとなっているが、発振回路 5 0 の動作電圧は定電圧手段により最大でも 0.8 V に固定されているので、高周波側の増幅率は制限され、この結果として水晶振動子 1 1 がオーバートーン（高次モード）発振するのを抑制できる。

【0083】そして発振開始から 0.5 秒後にはパワーオンリセット信号 S_{50} がロウレベルとなる。このとき補助増幅部 4 0 の第 1 のスイッチ 4 1 および第 2 のスイッチ 4 4 はオフ状態となる。よって補助増幅部 4 0 は非通電状態となり、かつ補助増幅部 4 0 の出力端子は発振出力 S_2 端子に対して高インピーダンスとなる。この結果、第 3 のトランジスタ素子 4 2 および第 4 のトランジスタ素子 4 3 の増幅動作は停止する。このときは発振回路 5 0 は増幅部 2 0 のみで発振動作を行うこととなり、発振出力 S_2 は正弦波に近い信号へと切り換わる。

【0084】パワーオンリセット信号 S_{50} がロウレベルとなってパワーオンリセット状態が解除されたときには、前述した通り電源電圧 V_{ss1} は発電電圧よりも高い電圧に昇圧されている。すなわち電源電圧 V_{ss1} は 1.0 V 以上の電圧まで上昇しているため、標準しきい値電圧を有する CMOS 回路で構成した波形生成手段 5 1 は通常の動作が可能となっている。

【0085】その後、発振回路 5 0 が発振開始してから 1.5 秒後には強制昇圧信号 S_{70} はロウレベルに切り換わる。このときには電源電圧 V_{ss1} はさらに高い 1.5 V 以上の電圧に昇圧されている。この電圧は前述のステッピングモータの駆動にも充分な電圧であり、図示はしていないがこのときの電源電圧 V_{ss1} は 1.5 V まで上昇しているので時刻表示体 5 4 の時刻表示動作が開始される。なお強制昇圧信号 S_{70} がロウレベルになれば昇圧手段 9 2 は強制昇圧動作はしなくなるが、このときは発電手段 9 6 が発電中であるので昇圧手段 9 2 の昇圧動作自体は継続する。

【0086】これ以降は、発電手段96が発電状態である間は発電検出手段98がこれを検知し、この結果発電検出信号S98はハイレベルとなるので第2のフリップフロップ71cの出力信号と同等の信号が第1のレベルシフタ74を介して昇圧クロックS92に出力される。また第1の充電スイッチ部93および第2の充電スイッチ部94は周期的に動作するため昇圧手段92の昇圧出力は時計ブロック61と蓄電手段97とに交互に出力される。

【0087】したがって昇圧手段92は蓄電手段97と時計ブロック61とへ昇圧出力を行うので、発振回路50が発振を開始してから数秒後には時刻表示を行いつつさらに蓄電手段97への充電も行われるようになる。

【0088】上記充電動作により蓄電手段97の端子電圧が上昇し、蓄電電圧Vss2が1.0Vを越えれば、放電スイッチ部95の残量検出手段95fがこれを検知し、Vss1とVss2との間を導通状態とする。この後は計時手段60は蓄電手段97に並列に接続されるが、上記と同様の充放電動作を行うことで計時手段60は所定の計時動作を継続する。

【0089】その後（特に図4では示していないが）、発電手段96が非発電状態となれば発電検出信号S98はロウレベルとなるので昇圧クロックS92はハイレベルのままとなり、昇圧動作は停止する。同様に第1の充電スイッチ部93および第2の充電スイッチ部94はオフ状態となる。この間は時計ブロック61へは放電スイッチ部95を介して蓄電手段97に蓄えられた電力が送られるため、発電手段96が非発電であっても時計ブロック61の計時動作は同様に継続される。

【0090】さらに非発電状態が継続すれば、蓄電手段97に蓄えられたエネルギーは時計ブロック61の計時動作で消費され、やがて蓄電電圧Vss2が1.0Vを下回るようになる。これを残量検出手段95fが検知すれば再び放電スイッチ部は非導通となり、蓄電手段97から時計ブロック61へのエネルギー供給が絶たれ、まもなく時計ブロック61の動作は停止する。このときは発振検出信号S91は接地電位（ハイレベル）となり、前述のとおり蓄電手段97は他の回路要素から切り離されるので、その後は蓄電電圧Vss2は1.0V付近を維持する。

【0091】なお本実施の形態で用いた補助増幅部40の第1のスイッチ41には補助増幅部40の第3のトランジスタ素子42と同じしきい値電圧のPチャネルMOSFETを用い、同様に第2のスイッチ44には第4のトランジスタ素子43と同じしきい値電圧のNチャネルMOSFETを用いることとしたが、第1のスイッチ41と第2のスイッチ44のしきい値電圧には増幅部20の第1のトランジスタ素子42と第2のトランジスタ素子43と同じしきい値電圧のものをを用いてもよい。

【0092】またこれと類似するが、第3のトランジ

スタ素子42に第1のトランジスタ素子21と同じしきい値のPチャネルMOSFETを用い、第4のトランジスタ素子43にも第2のトランジスタ素子22と同じしきい値のNチャネルMOSFETを用い、その代わりに第3のトランジスタ素子42と第4のトランジスタ素子43のチャネル幅をさらに大きくすることで補助増幅部40の増幅率を高くすることも可能である。

【0093】たとえば本実施の形態で用いた第3のトランジスタ素子42および第4のトランジスタ素子43のチャネル幅の3倍以上に設定することが可能であるが、この場合でも第3および第4のトランジスタ素子のチャネル長を大きくしたことで発生する寄生容量分を考慮して各共振容量を調整すればよく、発振回路の起動電圧は上記までの実施の形態よりも悪くなるが、しきい値電圧を複数化する製造プロセスを用いずに起動性のある程度は改善することができる。

【0094】また本実施の形態では補助増幅部40の構成は、補助増幅回路に対してスイッチ回路が接地側および定電圧出力Vreg側となるように配置した。これはスイッチ回路を構成する第1のスイッチ41および第2のスイッチ44に基板バイアス効果が働いてスイッチング効率が悪くなることのないようにしたためであるが、この影響が無視できるようであればこの配置を変えてもよい。たとえば第3のトランジスタ素子42を接地側とし、第4のトランジスタ素子44を定電圧出力Vreg側とし、第1のスイッチ41および第2のスイッチ44が補助増幅部40の出力側となるように配置してもよい。いずれの場合もパワーオンリセット信号S50をロウレベルにすれば補助増幅部40の電源が切れ非通電状態となりかつ補助増幅部40の出力を高インピーダンス状態にできる。

【0095】その他、本実施の形態における電源手段90に用いた回路要素もこれらに限定するものではない。たとえば昇圧手段92としてはコンデンサの接続状態を切りかえる形式のものを仮定したが、その他コイルに生じる誘起電圧を利用したものであってもよい。また発電手段96としては1段構成の太陽電池としたが、温度差で発電する熱電発電素子であってもよい。

【0096】また説明の簡素化のため、蓄電手段の過充電防止機能などは省略したが、実用上必要な機能を設けてもよいことは明らかである。

【0097】

【発明の効果】上記までの説明で明らかなように、本発明の発振回路を用いれば、従来は難しかった水晶発振回路自体を、太陽電池1段分相当である0.5Vという低い発電電圧を、計時手段が動作しているときのみ直接印加することで発振起動動作させることが可能となる。

【0098】また通常発振時の消費電力は従来と変わらず、かつ定電圧手段を用いることでオーバートーン発振も抑制できるため、安定した発振特性を維持したまま起

17

動特性の改善をはかることができる。

【0099】特に本発明の発振回路には一般的な電子時計の発振回路に用いる水晶振動子を用いており、CR発振回路やリング発振回路といった比較的低電圧で動作する他の発振回路と比較して発振起動に必要な電流は格段に小さいため発振起動がしやすく、出力抵抗値の高い熱電発電器なども発電手段として選べるというメリットも有している。当然ながらCR発振回路やリング発振回路といった発振回路を別途用意する必要もない。

【0100】さらに本発明の電子時計では、上記の発振回路によって昇圧手段を駆動するようにしたため、発振回路自体の起動電圧よりも定格電圧の高いステップモータなどの負荷を即時に動作させることができるようになっており、発生電圧が低い発電器を用いて電子時計以外の様々な電子機器も駆動させることが可能となる。

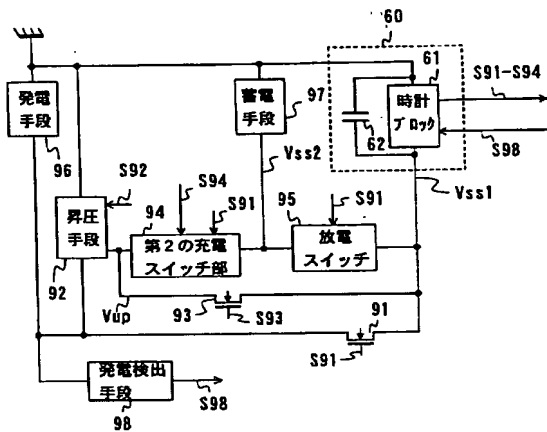
【図面の簡単な説明】

【図1】本発明の実施の形態の電子時計の全体回路構成を示した回路図である。

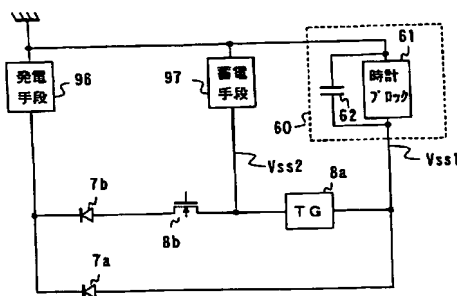
【図2】本発明の実施の形態の電子時計の放電スイッチ部および第2の充電スイッチ部の回路構成を示した回路図である。

【図3】本発明の実施の形態の電子時計の時計ブロック

【図1】



【図6】



18

の回路構成を示した回路図である。

【図4】本発明の実施の形態の電子時計の波形生成手段の構成を示した回路図である。

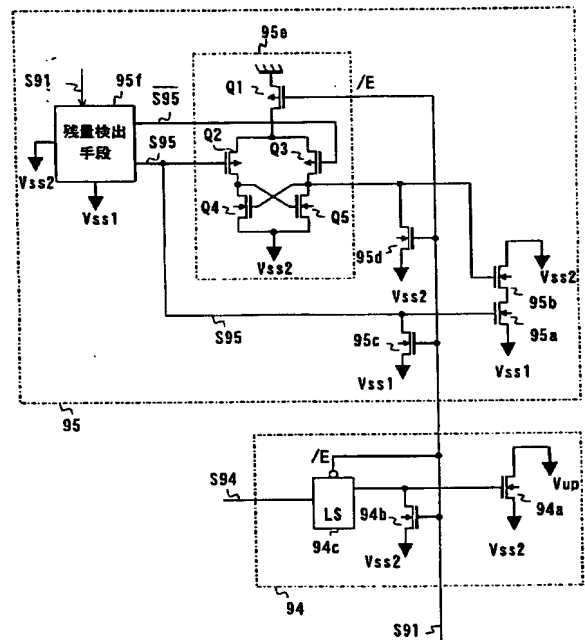
【図5】本発明の実施の形態の電子時計の要部電圧波形を示した波形図である。

【図6】従来の電子時計の回路構成を示した回路図である。

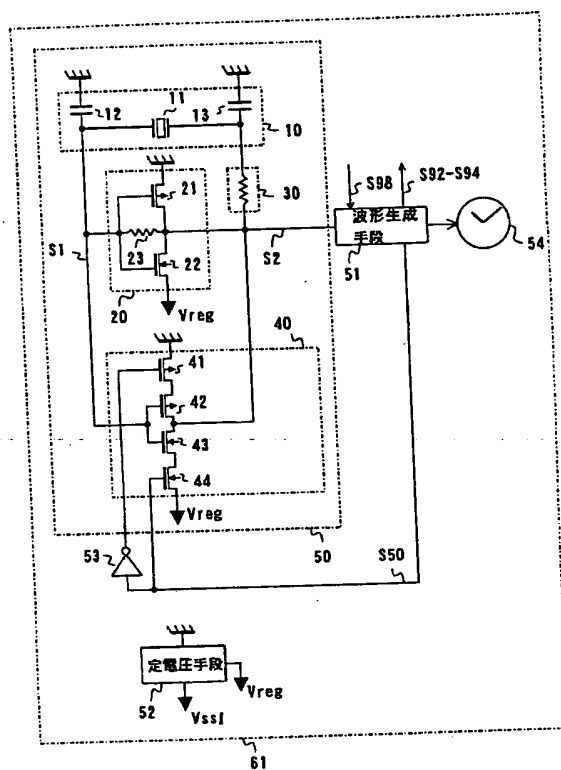
【符号の説明】

- 10 共振部
- 20 増幅部
- 30 減衰部
- 40 補助増幅部
- 50 発振回路
- 90 電源手段
- 91 起動補助回路
- 92 昇圧手段
- 93 第1の充電スイッチ部
- 94 第2の充電スイッチ部
- 95 放電スイッチ部
- 96 発電手段
- 97 蓄電手段
- 98 発電検出手段

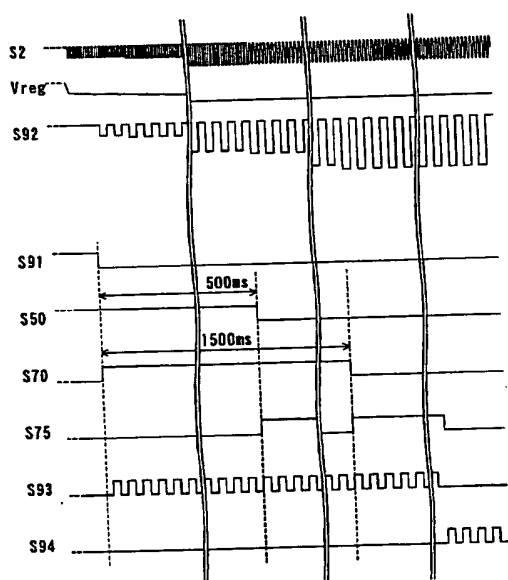
【図2】



【図3】



【図5】



【図4】

